

COPLANAR SEMICONDUCTOR DEVICE, DISPLAY DEVICE USING IT, AND METHOD FOR ITS MANUFACTURE

Publication number: JP2001244467 (A)

Publication date: 2001-09-07

Inventor(s): ISHIHARA SHINGO; WAKAGI MASATOSHI; ANDO MASAHICO; KIZAWA KENICHI +

Applicant(s): HITACHI LTD +

Classification:

- **International:** H01L21/208; H01L21/336; H01L29/786; H01L51/00; H01L51/05; H01L21/02; H01L29/66; H01L51/00; H01L51/05; (IPC1-7): H01L21/208; H01L21/336; H01L29/786; H01L51/00

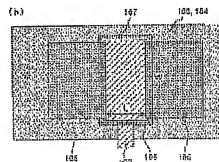
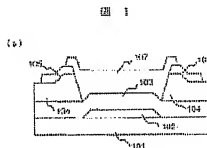
- **European:**

Application number: JP20000055997 20000228

Priority number(s): JP20000055997 20000228

Abstract of JP 2001244467 (A)

PROBLEM TO BE SOLVED: To provide a high-performance coplanar semiconductor device using organic semiconductor material. **SOLUTION:** A gate electrode 102 and a gate insulating layer 103 are formed on a glass substrate 101, and an interlayer insulating layer 104 is formed thereon. Further, a source electrode 105 and a drain electrode 106 are formed thereon. The region 108 of the interlayer insulating layer corresponding to a channel region is removed and an organic semiconductor layer 107 is formed thereon to obtain the coplanar semiconductor device.



101…ガラス基板 102…ゲート電極 103…ゲート絶縁層
104…層間絶縁層 105…ソース電極 106…ドレイン電極
107…有機半導体層 108…有機半導体層形成領域

Data supplied from the **espacenet** database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-244467

(P2001-244467A)

(43) 公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別番号	F I	マークト [*] (参考)
H 0 1 L	29/786	H 0 1 L 21/208	Z 5 F 0 5 3
	21/208	29/78	6 1 8 B 5 F 1 1 0
	51/00	29/28	
	21/336	29/78	6 1 6 K
			6 1 8 A

審査請求 未請求 請求項の項22 O L (全 16 頁)

(21) 出願番号	特願2000-55997(P2000-55997)	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成12年2月28日(2000.2.28)	(72) 発明者	石原 慎吾 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72) 発明者	芥木 辰利 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(74) 代理人	100068504 弁理士 小川 勝男 (外1名)

最終頁に続く

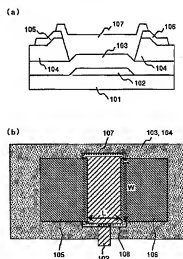
(54) 【発明の名称】 コプラナー型半導体装置とそれを用いた表示装置および製法

(57) 【要約】

【課題】有機半導体材料を用いた高性能コプラナー型半導体装置の提供。

【解決手段】ガラス基板101上にゲート電極102、ゲート絶縁層103を形成し、その上に層間絶縁層104を形成する。さらにその上にソース電極105、ドレイン電極106を形成する。次に、チャネル領域に対応する層間絶縁層の領域108を除去し、その上に有機半導体層107を形成したコプラナー型半導体装置。

図 1



101…ガラス基板 102…ゲート電極 103…ゲート絶縁層
104…層間絶縁層 105…ソース電極 106…ドレイン電極
107…有機半導体層 108…層間絶縁層の除去領域

【特許請求の範囲】

【請求項1】 基板の表面にゲート電極、ゲート絶縁層、ソース電極並びにドレイン電極、および、有機半導体層の順に形成されたコプラナー型半導体装置において、

前記ゲート絶縁層の表面に1層以上の層間絶縁層を有し、前記層間絶縁層がチャネル領域において除去された構造であることを特徴とするコプラナー型半導体装置。

【請求項2】 基板の表面にゲート電極、ゲート絶縁層、ソース電極並びにドレイン電極、および、有機半導体層の順に形成されたコプラナー型半導体装置において、

前記ゲート絶縁層の表面に1層以上の層間絶縁層を有し、前記層間絶縁層のチャネル部における厚さが、前記ソース電極または前記ドレイン電極下の層間絶縁膜の厚さより小さく構成されていることを特徴とするコプラナー型半導体装置。

【請求項3】 前記ソース電極並びにドレイン電極が透明導電体で形成されている請求項1または2に記載のコプラナー型半導体装置。

【請求項4】 基板の表面にゲート電極、ゲート絶縁層、透明導電膜からなるソース電極並びにドレイン電極、および、有機半導体層の順に形成されたコプラナー型半導体装置において、前記ゲート絶縁層、前記ソース電極、および、ドレイン電極上に配向制御層を有することを特徴とするコプラナー型半導体装置。

【請求項5】 基板の表面にゲート電極、ゲート絶縁層、ソース電極並びにドレイン電極、および、有機半導体層の順に形成されたコプラナー型半導体装置において、前記ソース電極並びにドレイン電極にアモルファス透明導電体を用いたことを特徴とするコプラナー型半導体装置。

【請求項6】 非チャネル領域において、前記ゲート絶縁層と、前記ソース電極並びにドレイン電極との間に層間絶縁層を有し、前記ソース電極並びにドレイン電極の一部が、前記ゲート絶縁層に接するよう構成された請求項5に記載のコプラナー型半導体装置。

【請求項7】 請求項1～6のいずれかに記載のコプラナー型半導体装置を備えたアクティブマトリクス基板を用いたことを特徴とする表示装置。

【請求項8】 画素電極を具備した請求項7に記載の表示装置。

【請求項9】 前記画素電極の輪郭を形成する辺の内の2辺以上を、前記コプラナー型半導体装置のドレイン電極のチャネル領域に用いた請求項8に記載の表示装置。

【請求項10】 コプラナー型半導体装置のソース電極並びにドレイン電極、および、前記画素電極が同時形成された請求項8または9に記載の表示装置。

【請求項11】 前記ソース電極、ドレイン電極、およ

び、画素電極が透明導電膜で形成された請求項10に記載の表示装置。

【請求項12】 請求項7～11のいずれかに記載の表示装置において、液晶材料を表示部に用いた液晶表示装置。

【請求項13】 基板上に、①ゲート電極を形成する工程、②ゲート絶縁膜を形成する工程、③層間絶縁膜を形成する工程、④ソース電極並びにドレイン電極を形成する工程、⑤層間絶縁膜を除去する工程、および、⑥有機半導体層を形成する工程を含むことを特徴とするコプラナー型半導体装置の製法。

【請求項14】 基板上に、①ゲート電極を形成する工程、②ゲート絶縁膜を形成する工程、③透明導電膜からなるソース電極並びにドレイン電極を形成する工程、④配向制御層を形成する工程、および、⑤有機半導体層を形成する工程を順に行うことを特徴とするコプラナー型半導体装置の製法。

【請求項15】 基板上に、①ゲート電極を形成する工程、②ゲート絶縁膜を形成する工程、③透明導電膜からなるソース電極並びにドレイン電極を形成する工程、および、⑥有機半導体層を形成する工程を順に行うことを特徴とするコプラナー型半導体装置の製法。

【請求項16】 前記ゲート電極、ソース電極並びにドレイン電極、および、画素電極の形成をスパッタリング法で行ない、

前記ゲート絶縁膜、および、半導体層の形成を塗布法で行なう請求項14または15に記載のコプラナー型半導体装置の製法。

【請求項17】 基板上に、①ゲート電極並びに走査配線を形成する工程、②ゲート絶縁膜を形成する工程、③層間絶縁膜を形成する工程、④信号配線を形成する工程、⑤ソース電極並びにドレイン電極を形成する工程、⑥有機半導体層を形成する工程、⑦保護膜を形成する工程、および、⑧配向膜を形成する工程を順に行い、これによって得られたアクティブマトリクス基板を用いることを特徴とする表示装置の製法。

【請求項18】 基板上に、①ゲート電極並びに走査配線を形成する工程、②ゲート絶縁膜を形成する工程、③層間絶縁膜を形成する工程、④ソース電極並びにドレイン電極を形成する工程、⑤信号配線を形成する工程、⑥有機半導体層を形成する工程、⑦保護膜を形成する工程、および、⑧配向膜を形成する工程を順に行い、これによって得られたアクティブマトリクス基板を用いることを特徴とする表示装置の製法。

【請求項19】 工程⑤と工程⑧との間に、チャネル領域上部の層間絶縁膜を除去する工程を有する請求項17または18に記載の表示装置の製法。

【請求項20】 基板上に、①ゲート電極並びに走査配線を形成する工程、②ゲート絶縁膜を形成する工程、③ソース電極並びにドレイン電極を形成する工程、④信号

配線を形成する工程、②配向制御層を形成する工程、③有機半導体層を形成する工程、④保護膜を形成する工程、および、⑤配向膜を形成する工程を順に行い、これによって得られたアクティブマトリクス基板を用いること特徴とする表示装置の製法。

【請求項21】 基板上に、①ゲート電極を形成する工程、②ゲート絶縁膜を形成する工程、③層間絶縁膜を形成する工程、④信号配線を形成する工程、⑤チャネル領域上部の層間絶縁膜を除去する工程、⑥透明導電膜からなるソース電極並びにドレイン電極を形成する工程、⑦有機半導体層を形成する工程、⑧保護膜を形成する工程、および、⑨配向膜を形成する工程を順に行うことを特徴とする表示装置の製法。

【請求項22】 前記ゲート絶縁膜、前記ゲート電極、ソース電極並びにドレイン電極、および、画素電極の形成をスパッタリング法で行ない、前記ゲート絶縁膜、および、半導体層の形成を塗布法で行なう請求項18～21のいずれかに記載の表示装置の製法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機半導体層を用いたコプラナー型半導体装置とそれを用いた表示装置に係わり、特に、電界効果型トランジスタ、および、アクティブマトリクス表示装置に関する。

【0002】

【従来の技術】近年、薄膜トランジスタ(TFT)に代表されるアクティブ素子を用いたアクティブマトリクス液晶表示装置は、CRTと同等の高画質性で、CRTよりも低消費電力、省スペースであることからパソコンやワークステーション等のモニタとして使用されている。しかし、アクティブマトリクス液晶装置は、CRTに比べて高価で、より普及させるには低価格化が要求されている。

【0003】 現行の液晶表示装置のアクティブ素子には、アモルファスシリコンTFT(a-SiTFT)が用いられている。a-SiTFTの絶縁層および半導体層は、プラズマ化学気相成長(CVD)装置で作製される。しかしながら、このCVD装置は高価であり、また、その成膜温度が230～350℃と高く、クリーニング等の保守を行う必要があるために、スループットが低いと云う問題がある。

【0004】 低価格化の手法の一つとして、作製法が簡易な有機半導体装置のアクティブ素子への適用が考えられている。有機半導体装置を作製する塗布装置、真空蒸着装置は、CVD装置と比べると安価である。また、成膜温度も低く、メンテナンスが簡易であるため、液晶表示装置に有機半導体装置を適用すると、コストの低減が期待できる。

【0005】 一般的な有機半導体装置は、基板、ゲート

電極、ゲート絶縁膜、ソース電極、ドレイン電極、および、有機半導体膜で構成される。

【0006】 ゲート電極に印加する電圧(ゲート電圧： V_g)を変えることで、ゲート絶縁膜と有機半導体膜の界面の電荷量を過剰、または、不足にし、ソース電極、有機半導体、ドレイン電極の順に流れるドレイン電流値(I_d)を変化させて、スイッチングを行う。

【0007】 特開平10-190001号公報では、可溶性ポリチオフェンを有機半導体層、ポリイミド塗布膜等をゲート絶縁膜に適用した有機半導体装置の開示がある。

【0008】 また、特開平10-270712号公報では、ゲート絶縁膜にチタン酸バリウム等の強誘電材料を用いた有機半導体装置の開示がある。

【0009】 この中で、有機半導体装置の移動度は、ゲート電極からゲート絶縁膜に印加する電界強度に依存し、強度が大きくなると移動度が高くなると云う開示がある。このため、膜厚100nm程度、誘電率の大きい強誘電材料をゲート絶縁膜とした有機半導体装置は、電界強度が高く移動度が高いことを開示している。

【0010】 さらに、特開平8-08125号公報では、有機半導体装置の構造として、逆スタガー構造、正スタガー構造、および、コプラナー構造を開示している。逆スタガー構造では、ガラス基板上に、ゲート電極、ゲート絶縁膜、半導体層の順に形成し、その上にソース電極並びにドレイン電極を形成する。この構造は、a-SiTFTに用いられている。

【0011】 また、正スタガー構造では、ガラス基板にソース電極並びにドレイン電極、半導体層、ゲート絶縁膜、ゲート電極の順に形成される。

【0012】 また、コプラナー構造では、ゲート電極、ゲート絶縁膜、ソース電極並びにドレイン電極を形成し、その上に半導体層を形成する。

【0013】 上記特開平8-08125号公報は、有機半導体材料と直接オーミック接触を取り易い電極材料として、Pt、Au、インジウム・錫酸化物(ITO)材料を開示している。

【0014】 また、特開昭62-209586号公報では、a-SiTFTにおいて、作製プロセスが簡略化できるTFT-LCD構造について開示している。正スタガー、トップゲート構造のTFTを用いたLCDにおいて、ゲート電極、ドレイン電極、画素電極を透明導電材料で一括形成して作業工程数を低減する。

【0015】

【発明が解決しようとする課題】 一般に、有機半導体材料では、耐薬品性、耐熱性が劣ることが知られている。a-SiTFTの電極、配線、絶縁膜に用いられている金属材料、無機材料では、高温プロセスおよびウエットエッチングを用いて、成膜、パターン形成が行われている。そのため、有機半導体装置において、有機半導体材

料と既存の金属材料、あるいは、無機材料が混在した構成の場合、既存材料の形成プロセス時における有機半導体膜の劣化を防ぐことが重要である。

【0016】こうした点から、有機半導体装置としてはコプラナー構造が望ましい。この構造では、ゲート電極、ゲート絶縁膜、ソース電極並びにドレイン電極（配線）を形成した後、有機半導体層を形成するため、他層の高温プロセス、エッチングプロセスによる有機層の劣化を回避することができる。

【0017】しかし、コプラナー構造を有機半導体装置に適用する場合、以下の問題点が発生する。

【0018】有機半導体膜をゲート絶縁膜上に形成する前に、信号配線あるいはソース電極並びにドレイン電極を、ホトリソグラフィ法で形成する。そのためにレジスト残渣、材料残渣によりゲート絶縁膜表面が汚染される。その上に有機半導体膜を形成すると、上記残渣を核にして有機膜が成長するため、有機半導体膜の結晶粒サイズが小さくなり、半導体特性が低下する。

【0019】また、前記のように、有機半導体装置では半導体特性を向上させるために、ゲート絶縁膜の膜厚を薄くし、印加する電界強度を高くする必要がある。しかし、絶縁膜を薄くすると、ゲート電極（走査配線）とソース電極並びにドレイン電極（信号配線）との層間リーク電流の増大、あるいは、ショートを生じると言う問題がある。

【0020】本発明の目的は、有機半導体装置として必須なコプラナー型の半導体装置の電極形成時のゲート絶縁膜の表面汚染による半導体特性の低下を防ぐことができる半導体装置の提供にある。

【0021】本発明の他の目的は、上記の有機半導体装置における有機半導体と実用的なオーミック接合の電極材料を有する半導体装置の提供にある。

【0022】本発明の他の目的は、上記の有機半導体装置における、高い半導体特性と層間リーク電流の低減あるいはショート防止を両立した素子構造の半導体装置の提供にある。

【0023】さらに、本発明の他の目的は、上記の半導体装置を用いた表示装置を提供することにある。

【0024】

【課題を解決するための手段】前記の目的を達成する本発明の要旨は次のとおりである。

【0025】基板の表面にゲート電極、ゲート絶縁膜、ソース電極並びにドレイン電極、および、有機半導体層の順に形成されたコプラナー型半導体装置において、ゲート絶縁膜の表面に1層以上の層間絶縁膜を有し、前記層間絶縁膜がチャネル領域において除去された構造となっているコプラナー型の半導体装置にある。

【0026】ゲート絶縁膜の表面に1層以上の層間絶縁膜を有し、前記層間絶縁膜のチャネル部における厚さが、前記ソース電極あるいは前記ドレイン電極下の層間

絶縁膜の厚さより小さくなっているコプラナー型半導体装置にある。

【0027】前記ゲート絶縁膜、ソース電極、および、ドレイン電極上に配向制御層を有するコプラナー型半導体装置にある。

【0028】また、ソース電極並びにドレイン電極にアモルファス透明導電体を用いることができ、半導体装置の非チャネル領域に、前記ゲート絶縁膜と前記ソース電極並びにドレイン電極の間に層間絶縁膜を有し、前記ソース電極並びにドレイン電極の一部が前記ゲート絶縁膜に接するコプラナー型半導体装置にある。

【0029】画素電極の輪郭を形成する辺の内少なくとも2辺以上を、前記半導体装置のドレイン電極のチャネル領域に用いる。

【0030】上記のコプラナー型半導体装置を用いた表示装置にある。特に、液晶材料を表示部に用いた液晶表示装置、並びに、前記の半導体装置を具備したアクティブマトリクス基板を用いた表示装置にある。

【0031】ここで言うコプラナー型半導体装置とは、基板上に導電ゲート電極、ゲート絶縁膜、水平に間隔を置くソース電極並びにドレイン電極、および、有機半導体層の順に形成される。

【0032】ゲート電極に印加される電圧の極性に応じて、ソース電極とドレイン電極の間の領域にあり、ゲート電極上部のゲート絶縁膜と有機半導体層の界面におけるキャリアが蓄積状態あるいは空乏状態となり、ソース電極、ドレイン電極間の電流を制御する。上記電流が流れる部分がチャネル領域である。

【0033】本発明の基板としては、絶縁性の材料であれば広い範囲から選択することが可能である。具体的には、ガラス、アルミナ焼結体等の無機材料、ポリミッド膜、ポリエステル膜、ポリエチレン膜、ポリフェニルレンスルフィド膜、ポリバキシレン膜等の各種絶縁性プラスチック等が使用可能である。

【0034】ゲート電極材料としては、既存のホトリソグラフィ法を用いて電極形成が可能な金、白金、パラジウム、アルミニウム、インジウム、クロム、モリブデン、ニッケル等や、これら金属を用いた合金、ポリシリコン、アモルファスシリコン、銅酸化物、酸化インジウム、インジウム・銅酸化物（ITO）等の無機材料が望ましい。

【0035】また、形成プロセスが簡便な塗布法を用いたポリアニリン、ポリオフェン等の有機材料、導電性材料を配合したインクが望ましい。

【0036】ゲート絶縁膜の材料としては、ポリクロロビレン、ポリエチレンテレフタレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルアルラン、ポリメチルメタクリレート、ポリサルフォーン、ポリカーボネート、ポリイミド等が挙げられる。

【0037】また、CVD法を用いるSiO₂、SiN_x、Al₂O₃等の無機材料も可能である。

【0038】上記の材料は、2種以上併用しても差し支えない。特に、作製工程を脱CVD工程にするため、塗布法で作製し得る絶縁材料が望ましい。塗布法の具体的な手法としては、スピコート法、キャスト法、引き上げ法等が挙げられる。

【0039】また、有機半導体装置の移動度は電界強度に依存するため、膜厚は50~200nmが望ましい。そのため、絶縁耐圧は2MV/cm以上が望ましい。

【0040】ほとんどの有機半導体において電荷を輸送するキャリアがホールである。そのため、本発明で用いるソース電極およびドレイン電極の材料としては、仕事

$$i = B(kT)^{-2} f \left[\frac{h\nu - \psi}{kT} \right] \quad \cdots (1)$$

ここで、Bは定数、kはボルツマン定数、Tは測定温度、 $h\nu$ は入射した光子のエネルギー、 $f(x)$ は試料に依存した関数である。仕事関数は飽和電流密度*i*と電流のバックグラウンドの交差点におけるエネルギーとして求められる。 $f(x)$ は $h\nu = \psi$ 近傍では、式(2)と近似されるため、外挿して交点を求める。

【0043】

【数2】

$$f(x) \propto x^{0.5} \quad \cdots (2)$$

【0044】別の測定方法としては大気測定方法がある。即ち、試料に大気中で光を照射して放出される電子により発生する陰イオンを計測する(Japanese Journal of Applied Physics, Vol. 24, 284~288(1985))。この手法は、前記の真空中での測定方法と比べて、0.1~0.2eV程度の差が生ずる。

【0045】実用的なソース電極並びにドレイン電極材料としては、ITO透明導電膜、インジウム・亜鉛酸化物(IDIXO)透明導電膜が挙げられる。透明導電膜の製法は、スパッタリング法、電子ビーム(EB)蒸着法が挙げられる。

【0046】ITO透明導電膜、IDIXO透明導電膜の仕事関数は、成膜時、それぞれ4.6eV、4.8eVである。UV照射、酸素プラズマ処理により、それぞれ、5.1eV、5.2eVまで増大させることが可能である。

【0047】有機半導体材料としては、 π 電子共役系の芳香族化合物、鎮式化合物、有機顔料、有機けい素化合物等が望ましい。作製法としては、スピコート法、キャスト法、引き上げ法等が挙げられる。具体的な有機半導体材料としては、ペンタセン、テトラセン、チオフェンオリゴマ誘導体、フェニレン誘導体、フクロシニン化合物、ポリアセチレン誘導体、ポリチオフェン誘導体、シアニン色素等が挙げられる。

【0048】層間絶縁層とは、ゲート絶縁膜上に形成されるソース電極並びにドレイン電極を形成する際、ゲート電極表面の汚染を防ぐことを目的とする。そのため、

関数の大きい金属が望ましい。これらの金属は、半導体層とオーミック接触をとることが可能となる。仕事関数は4.6~5.2eVが望ましい。具体的には、金、白金、透明導電膜が挙げられる。

【0041】ここで言う仕事関数とは、固体内の電子1個を表面直上の真空中に取り出すのに要する最小エネルギー値と定義する。測定方法は、試料に高真空中で光を照射して放出される電子を計測する。放出された光電子の飽和電流密度*i*と仕事関数 ψ の間には次の関係式

(1)が成立する。

【0042】

【数1】

層間絶縁膜は、ソース電極並びにドレイン電極形成前にゲート絶縁膜上に形成し、ソース電極並びにドレイン電極形成後、チャネル領域上方に位置する部分を完全に除去あるいは一部を除去することが望ましい。また、除去される絶縁膜の領域は、ゲート電極サイズと同等が望ましい。

【0049】上記絶縁膜材料としては、SiO₂、SiN_x、Al₂O₃等の無機材料やポリクロロビレン、ポリエチレンテトラレート、ポリオキシメチレン、ポリビニルクロライド、ポリフッ化ビニリデン、シアノエチルアクリレート、ポリメチルメタクリレート、ポリスルホン、ポリカーボネート、ポリイミド等の有機材料が挙げられる。

【0050】配向制御層は、アモルファス透明導電体ソース電極並びにドレイン電極をゲート基板上に形成後、ゲート絶縁膜、ソース電極およびドレイン電極上に形成することが望ましい。また、ソース電極並びにドレイン電極と有機半導体のオーミック接触を妨げない範囲の膜厚、0.5~1.0nmが望ましい。

【0051】ここで言うアクティブマトリクス基板を用いた表示装置とは、表示部を構成している画素毎にアクティブマトリクス素子が付加され、これを通して画素に電圧または電流が印加されるものである。

【0052】アクティブマトリクス表示装置の駆動法としては以下の方式が取られる。n行の走査線とm列の信号線からなるn×mマトリクス配線の交点に、TFT等のアクティブマトリクス素子が設けられ、TFTのゲート電極は走査線に、ドレイン電極は信号線に、ソース電極は画素電極にそれぞれ接続される。

【0053】走査線にはアドレス信号、信号線には表示信号が供給され、オン/オフ信号が乗置されたアドレス信号で制御されるTFTスイッチを介して、画素電極上の液晶を動作させる。

【0054】上記のように、有機半導体装置をスイッチング素子に適用した場合、製造プロセスが簡易化される。

【0055】

【発明の実施の形態】まず、後述の実施例で用いる蒸着膜と塗布膜製法について実施例1および2として説明する。

【0056】(実施例1) 実施例1で半導体層に用いるペンタセン蒸着膜の製法を説明する。

【0057】基板には以下の条件で作製した熱酸化膜(SiO_2)付シリコン基板を用いた。結晶軸が $<111>$ で、ボロンを高温度にドーピングして抵抗率を $0.1 \sim 1 \Omega \text{cm}$ にしたP型 Si 基板上に、熱酸化法により膜厚 100nm の SiO_2 膜を形成した。酸化条件は炉の温度を 950°C にし、 H_2/O_2 の流入比を 0.56 とした。

【0058】基板の洗浄工程は以下の通りである。基板を純度 99% 以上のアセトン中で超音波洗浄を5分間行い、次いで、純水中で超音波洗浄を5分間行う工程を各2回実施した。

【0059】洗浄後、基板表面上に残った純水を N_2 ガスで吹き払った後、波長 184.9nm 、 253.7nm のUV光(強度 65mW)を15秒間照射し、有機汚染物を除去した。次に、 SiO_2 膜表面上の水分除去およびUV照射による SiO_2 膜中に注入されたキャリアを熱緩和させるため、 N_2 雰囲気下、 250°C の炉中で1時間加熱した。

【0060】蒸着膜の原料に用いるペンタセンは、市販の粉末を昇華法により精製したものを用いた。ペンタセン蒸着膜は、拡散ポンプで真空排気を行う真空蒸着装置を用いて形成した。ペンタセン蒸着膜の作製条件は以下の通りである。

【0061】蒸着装置チャンバー内の到達真空度は、 $3 \sim 5 \times 10^{-10} \text{Torr}$ に設定した。前記ペンタセン粉末をMo金属製抵抗加熱用ボートに乗せ、ボート上約 30cm の位置に Si 基板を設置し、ボートを約 200°C に加熱してペンタセンを昇華させて蒸着する。基板とほぼ同じ高さに水晶振動子を置き、振動子の共鳴周波数の変化から、膜厚および蒸着速度を算出した。ペンタセン蒸着膜の膜厚は $50 \sim 250 \text{nm}$ にした。なお、蒸着速度は $0.1 \sim 0.3 \text{nm}/\text{秒}$ にした。

【0062】ペンタセン蒸着膜の結晶構造の評価を広角X線測定により行った。X線として、波長 0.15406nm の $\text{CuK}\alpha$ -線を用いた。X線の管電圧は 150kV 、管電流は 150mA とした。試料とX線源との間にスリットを設け、試料表面でのX線断面が $2 \times 2 \text{mm}^2$ となるように設定した。

【0063】広角ゴニオメータを用いて、入射X線光路と基板面のなす角を θ 、検出器へ向かう反射光路と入射X線光路のなす角が 2θ となす対称反射測定に配置に設定した。検出器には、シンチレーションカウンタを用いた。走査範囲は、 $\theta: 1.5 \sim 15^\circ$ であり、ステップ幅は 0.02° である。各測定点での、サンプリング時

間は5秒である。

【0064】図14にペンタセン蒸着膜の広角X線の結果を示す。 1.57nm の面間隔に対応するピークが、それぞれ $2\theta = 5.6^\circ, 11.4^\circ, 17.1^\circ, 23.0^\circ, 28.0^\circ$ と5次回折まで観測された。また、 1.49nm の面間隔に対応するピークが、それぞれ $2\theta = 6.0^\circ, 12.1^\circ, 18.3^\circ$ と3回まで観測された。

【0065】図15に、AFM法によるペンタセン蒸着膜の表面状態を示す。粒径が $1 \sim 1.5 \mu\text{m}$ の樹枝状結晶粒が観測された。樹枝状結晶粒は、基板表面においてペンタセン分子が安定な位置に取り込まれる時間と比べて、拡散する時間が長い拡散律速成長の条件で形成される。

【0066】次に、逆スタガー構造DFTを作製し、ペンタセン蒸着膜の半導体特性を調べた。上述した条件で、ペンタセン蒸着膜を SiO_2 付 Si 基板上に形成し、その上にマスク蒸着法を用いて1対のITO電極を形成した。電極サイズは $500 \times 200 \mu\text{m}^2$ 、電極間隔は $200 \mu\text{m}$ に設定した。この構造では、 Si 基板がゲート電極、熱 SiO_2 膜がゲート絶縁膜に対応する。

【0067】図16に $V_g - I_d$ 曲線を示す。 $V_g = 0 \text{V}$ 付近で、 V_g が正の領域から負の領域に変化すると共に、急激にオフ状態からオン状態にスイッチングする特性を示した。飽和領域の傾きから移動度を算出すると、 $0.13 \text{cm}^2/\text{Vs}$ であった。電流のオンオフ比も 0.8×10^4 と高い値を示した。

【0068】次に、コプラナー構造におけるペンタセン蒸着膜の半導体特性を調べた。コプラナー構造では、 SiO_2 付 Si 基板上にITO電極、ペンタセン蒸着膜の順に形成する。ITO電極形成後、 SiO_2 膜表面を観察したところ、 10nm 程度の粒径のITO残渣が観測された。残渣密度は約 $4 \text{個}/\mu\text{m}^2$ であった。

【0069】次に、その上に形成したペンタセン蒸着膜の表面形態を図17に示す。図15と比べて、ペンタセン結晶粒の粒径が小さく 500nm 以下であった。結晶粒密度は約 $10 \text{個}/\mu\text{m}^2$ であった。

【0070】 $V_g - I_d$ 測定の結果を図18に示す。移動度は $10 \text{p cm}^2/\text{Vs}$ となり、約2桁小さくなった。

【0071】以上から、ペンタセン蒸着膜は表面上のITO残渣により結晶粒の成長が妨げられ、それにより半導体特性が低下することが分かった。

【0072】(実施例2) 次に、実施例2～6で半導体層に用いるチオフェンオリゴマ誘導体塗布膜の製法を説明する。チオフェンオリゴマ誘導体は、6員環チオフェンオリゴマを骨格とし、両端にヘキシル基を付加した化合物である。

【0073】試料の合成は、文献(F. Ganier, et al. J. Am. Chem. Soc., Vol.115, p.p.8716

～8721(1993))に従って行った。

【0074】上記合成方法で作製したチオフェンオリゴマ誘導体を昇華法により精製した。

【0075】チオフェンオリゴマ誘導体塗布膜はキャスト法を用いて作製した。溶媒は、テトラヒドロフルラン(THF)を用い、溶液濃度を約60℃にし、濃度を1重量%に調合した。基板温度を40℃にし、約60℃に熱したガラス製スボイトを用いてTHF溶液を基板全面に滴下した。滴下後約1分、溶液は蒸発し基板全面に薄膜が形成された。溶液の濃度を0.1～5重量%の範囲に調合し、膜厚を50～250nmにした。

【0076】チオフェンオリゴマ塗布膜の結晶構造評価に、広角X線測定を行った。測定条件は実験例1と同等である。3.6nmの面間隔に対応するピークが、それぞれ、 $2\theta=5.6^\circ$ 、 11.4° と2次回折まで観測された。実験例1と同様(001)(1=1,2)に対応する。

【0077】実験例1と同様にAFM法によるチオフェンオリゴマ蒸着膜の表面状態を調べたところ、粒径0.8 μ m程度の樹枝状結晶粒が観測された。

【0078】次に、チオフェンオリゴマ誘導体塗布膜の半導体特性を評価した。実験例1と同様に、逆スタガー構造TFTを作製し、 V_g-I_d 曲線から移動度を算出すると、 $1.0 \times 10^4 \text{ cm}^2/\text{Vs}$ であった。

【0079】実験例1で半導体層膜に用いたベンタセン蒸着膜TFTと比べて、移動度が約1桁低下した。これは、材料の特性の差に加えて、半導体膜の成膜性に起因する。即ち、ベンタセン蒸着膜では、広角X線測定において、5回まで高次のピークが観測されたのに対して、チオフェンオリゴマ塗布膜では、2次の回折ピークまでしか観測されなかった。

【0080】塗布膜においても、溶液濃度、溶媒の種類、基板温度を最適化することにより蒸着膜並の成膜性を達成できる。

【0081】また、コプラナー構造を用いたチオフェンオリゴマ誘導体塗布膜TFTを作製し評価したところ、移動度が $1.0 \times 10^4 \text{ cm}^2/\text{Vs}$ と小さくなり、半導体特性が低下した。これは、実験例1と同様に電極形成時のゲート絶縁膜表面汚染に起因する。

【0082】(実施例1)本発明による半導体装置の実施例について、図1、図2により説明する。

【0083】図1に本発明による半導体装置の模式断面図と真上からみた図を、また、図2は本発明による半導体装置の作製工程を示すフロー図を示す。

【0084】図1において、101はガラス基板、102はゲート電極、103はゲート絶縁層、104は層間絶縁層、105はソース電極、106はドレイン電極、107は有機半導体層、108は層間絶縁層104の除去した領域である。図2において、111はゲート電極形成工程、112はゲート絶縁層形成工程、113は層

間絶縁層形成工程、114はソース電極並びにドレイン電極形成工程、115は層間絶縁層パターン化工程、116は有機半導体層形成工程である。

【0085】コーニングガラス1737のガラス基板101上に厚さ約100nmのCrMo膜をスパッタリング法により形成する。次に、ホトリソグラフィ工程によりCrMo膜をパターン化してゲート電極102を形成する(工程111)。

【0086】その上に、ゲート絶縁膜103として、東燃社製ポリシラン(SOG)塗布膜を作製する(工程112)。作製法にはスピコート法を用い、キシレンを溶媒として1重量%濃度に希釈した溶液を用いた。回転数を4000rpm、回転時間を20秒間とし、塗布膜を作製した。

【0087】次に、窒素雰囲気下、600℃、1時間の条件下で塗布膜を焼成した。SOG絶縁膜の膜厚は100nmであった。

【0088】その上に、層間絶縁膜104としてポリイミド塗布膜を形成する(工程113)。ポリイミド膜は(株)日立化成デュボンマイクロシステムズ社製の自己(薄膜)非感光性ポリイミド(型番:PIX-1400)を用いた。

【0089】膜作製法にはスピコート法を用い、NMPを溶媒として2倍希釈した溶液を用いた。始めに回転数500rpm、回転時間10秒の条件下で溶液を基板全面に拡散させ、次に、本成膜として回転数6000rpm、回転時間30秒の条件下でポリイミド膜を形成した。その後、基板を大気下のホットプレート上に置き、ベーク温度(焼成時間)を、110℃(3分)、190℃(3分)、270℃(3分)、350℃(5分)の順に昇温して焼成した。ポリイミド膜の膜厚は100nmであった。

【0090】その上にスパッタリング法を用いて、厚さ150nmのITO膜を形成し、ホトリソグラフィ工程によりパターン化して、ソース電極105、ドレイン電極106を形成した(工程114)。ソース電極、ドレイン電極の大きさは、 $1.000 \times 5.0 \mu\text{m}^2$ 、チャネル長(L)、チャネル幅(W)は、それぞれ100 μm 、20 μm である。

【0091】次に、ポリイミド層間絶縁膜104をパターン化する(工程115)。除去領域108の位置は、図1(b)に示したように、ゲート電極102と同心にあり、サイズは、L、Wのそれぞれ1.2倍の大きさである。但し、ソース電極105並びにドレイン電極106下のポリイミド層間絶縁膜104は、電極がマスクとなりパターン化されない。パターン化にはホトリソグラフィ工程を用い、液温を30℃に調節したヒドラジントメレート/エチレンジアミン(重量比7:3)混合液をエッチング液として用いた。

【0092】その上に、有機半導体層107として、厚

さ250nmのペンタセン蒸着膜を形成する(工程116)。ペンタセン蒸着膜の作製条件は実施例1と同様である。ペンタセン蒸着膜の広角X線、表面形状も、図14、図15に示した結果と同等であった。以上により有機半導体装置を完成した。

【0093】実施例1と同様、 V_g-I_d 測定結果から移動度を算出すると $0.1\text{ cm}^2/\text{Vs}$ であった。

【0094】本実施例では、ソース電極並びにドレイン電極を形成する前に、ポリイミド層間絶縁膜をゲート絶縁膜上に形成し、ソース電極並びにドレイン電極形成後、チャネル領域上部のポリイミド層間絶縁膜を除去し、ゲート絶縁膜を露出したため、実施例1で示したゲート絶縁膜表面の電極形成による汚染を防止することが可能となった。そのため、ゲート絶縁膜上に作製したペンタセン蒸着膜は樹枝状結晶形態を示し、サイズも $1\sim 2\mu\text{m}$ となった。これにより、半導体特性を示す移動度が $0.1\text{ cm}^2/\text{Vs}$ と高い値を示した。この値は、実施例1の結果とほぼ等しい。

【0095】また、有機半導体膜はゲート電極と膜厚10nmのゲート絶縁膜とを介しているため、有効に電界強度が加わり、 $0.1\text{ cm}^2/\text{Vs}$ と高移動度を達成した。一方、ソース電極並びにドレイン電極は、ゲート電極とゲート絶縁膜並びに層間絶縁膜を介しているため層間リークが抑制される。

【0096】〔実施例 2〕半導体層にチオフェンオリゴ誘導体塗布膜を適用した半導体装置の実施例を、図3、図4により説明する。

【0097】図3は本実施例の半導体層装置の模式断面図と真上から見た図である。また、図4に本実施例の半導体層装置の作製工程を示す。204は配向制御層、207は有機半導体層である。また、211はゲート電極形成工程、212はゲート絶縁膜形成工程、213はソース電極並びにドレイン電極形成工程、214は配向制御層形成工程、215は有機半導体層形成工程である。

【0098】ガラス基板101上にゲート電極102、ゲート絶縁膜103を形成する(工程211~212)。作製条件は実施例1と同様である。

【0099】次に、その上にスパッタリング法を用いて、厚さ150nmのITO膜を形成し、ホトリソグラフィによりパターン化してソース電極105、ドレイン電極106を形成する(工程213)。電極サイズ、チャネル長し、およびチャネル幅Wは、実施例1と同様である。

【0100】その上に、配向制御層204としてオクタデルトリクロロシラン(OTS)膜を形成する(工程214)。形成方法は以下の通りである。なお、作業は大気中の水分の影響を除去するため、 N_2 バージされたグローブボックス内で行う。

【0101】OTSをn-ヘキサデカン溶媒に溶かし、0.5重量%濃度に調整した。該液に基板を1時間浸漬

後、クロロホルムで基板表面を洗浄し、乾燥 N_2 ガスで乾燥させる。該基板の純水を用いた接触角は 110° であった。また、エリアフ測定から、膜厚は 3.2 nm であった。この値は、OTS分子の長さ 2.3 nm にほぼ等しい値である。以上から、OTS膜はゲート絶縁膜103上にほぼ単分子層を形成している。

【0102】その上に、有機半導体膜207としてチオフェンオリゴ塗布膜を形成する(工程215)。チオフェンオリゴ塗布膜の作製条件並びに結晶構造は実施例2に示した通りである。チオフェンオリゴ塗布膜とソース電極並びにドレイン電極の間には、OTS単層膜を介しているが、厚さが 3.2 nm と薄いため、除去しなくても半導体と電極の直接オーミック接触を取ることができ、以上により、有機半導体装置が完成する。

【0103】 V_g-I_d 曲線から移動度を算出したところ、 $8\times 10^0\text{ cm}^2/\text{Vs}$ と、実施例2の結果に近い値となった。

【0104】本実施例では、ソース電極並びにドレイン電極を形成する際に、実施例1で示したように、ゲート絶縁膜表面上に10nm程度の粒状のITO残渣が形成された。しかし、その上にOTS処理を行ったため、ゲート絶縁膜およびITO残渣上にOTS単分子層が緻密に形成された。

【0105】また、OTS単分子層は、基板にほぼ垂直にヘキシル基がたった配置で配列するため、チオフェンオリゴ誘導体分子の配列を制御して、半導体特性を向上させた。そのため、その上に形成されたチオフェンオリゴ塗布膜の結晶性が実施例2の結果とほぼ同等であった。

【0106】〔実施例 3〕半導体層にチオフェン誘導体塗布膜を適用した半導体装置の実施例を図5、図6により説明する。

【0107】図5は本実施例の半導体層装置の模式断面図と真上から見た図である。また、図6は本実施例の半導体層装置の作製工程を示す。311はゲート電極形成工程、312はゲート絶縁膜形成工程、313はソース電極並びにドレイン電極形成工程、314は有機半導体層形成工程である。

【0108】ガラス基板101上にゲート電極102、ゲート絶縁膜103を形成する(工程311~312)。作製方法は実施例1と同様である。

【0109】次に、厚さ150nmの $\text{In}_2\text{O}_3\text{-ZnO}$ 透明導電膜(IDIXO)をスパッタリング法にて作製する。IDIXOの組成は、 In_2O_3 に ZnO を約10重量%添加し、基板温度は室温とした。膜質はアルファであり、比抵抗値は $350\Omega\text{ cm}$ であった。同膜をホトリソグラフィ法にて、ソース電極105並びにドレイン電極106を形成する(工程315)。

【0110】エッチング液には、濃度10重量%のHBrを用いた。液温を 30°C に設定したところ、エッチ

グ時間は180秒であった。

【0111】その上に、有機半導体層107としてチオフェン誘導体塗布膜を形成する(工程314)。作製条件は、実施例2と同様であり膜厚を150nmとした。以上により、有機半導体装置が完成する。

【0112】 V_g-I_d 曲線から移動度を算出したところ、 $1.0 \times 10^4 \text{ cm}^2/\text{Vs}$ であった。この値は実施例2の結果と同じ値を示した。

【0113】本実施例では、ソース電極並びにドレイン電極として、アモルファス透明導電材料のITO膜を用いた。ITO膜はアモルファスなため、膜内部に結晶粒を有さない。そのため、ITO膜で観測された結晶粒内と結晶粒界のエッチングレート差から発生する残渣は生じない。AFM法による表面形態観測より、ゲート電極膜表面上の残渣密度は約0.1個/ μm^2 と抑制された。その上に形成したチオフェンオリゴマ塗布膜の成膜性が高くなり半導体特性が高くなった。

【0114】また、本実施例は、実施例1、実施例2に比べて、工程数が少ない。

【0115】(実施例 4) 本発明を用いた液晶表示装置の実施例を図7～図9により説明する。

【0116】図7は本実施例の液晶表示装置の模式断面図、図8に本実施例の液晶表示装置の要素部を上から見た図である。

【0117】401、412はガラス基板、402はゲート電極、403は走査配線、404はゲート絶縁層、405は層間絶縁層、405'は層間絶縁層を除去した領域、406、406'は信号配線、407はソース電極、408はドレイン電極と画素電極を兼ねた透明電極、409は有機半導体層、410は保護層、411、411'は配向層、413は対向電極、414は液晶組成物、415はスペーサー、416、416'は偏光板、417はアクティブマトリクス基板、418は対向基板である。

【0118】また、図9は本実施例の液晶表示装置の作製工程を示す。431はゲート電極、走査配線形成工程、432はゲート絶縁層形成工程、433は層間絶縁層形成工程、434は信号配線形成工程、435はソース電極、ドレイン電極および画素電極形成工程、436は層間絶縁層パターン化工程、437は有機半導体層形成工程、438は保護層形成工程、439、441は配向層形成工程、440は対向電極形成工程、442は配向層表面配向処理、443はスペーサー分散工程、444は液晶組成物封入工程、445は偏光板貼付け工程である。

【0119】コーニングガラス1737からなるガラス基板401上に、厚さ約100nmのCrMo膜をスパッタリング法により形成する。ホトリソグラフィ工程によりCrMo膜をパターン化してゲート電極402並びに走査配線403を形成する(工程431)。その上

に、ゲート絶縁層404としてSOG膜を形成する(工程432)。SOG膜の作製条件は、実施例1と同様であり膜厚を100nmとした。

【0120】その上に層間絶縁層405としてポリイミド膜を形成する(工程433)。作製条件は、実施例1と同様であり膜厚を100nmとした。

【0121】その上にスパッタリング法により、厚さ150nmのCrMo膜を形成する。ホトリソグラフィ工程によりパターン化して、信号配線406を形成する(工程434)。その上に、スパッタリング法により、厚さ150nmのITO膜を作製し、ホトリソグラフィ工程によりソース電極407、ドレイン電極と画素電極を兼ねた電極408を形成する(工程435)。

【0122】次に、ポリイミド層間絶縁層405をパターン化して、チャネル領域を形成する(工程436)。パターン化領域405'は、図8に示したように、ゲート電極402と同心状に位置し、チャネル長 L とチャネル幅 W のそれぞれ、1.2倍の大きさの長方形である。除去条件は実施例1と同様である。

【0123】その上に、有機半導体層409としてチオフェンオリゴマ塗布膜を形成する(工程437)。作製条件は、実施例2と同様であり膜厚を250nmとした。

【0124】さらにその上に、保護膜410として、膜厚500nmのSiO₂蒸着膜を形成する(工程438)。その上にスピンコート法により厚さ約200nmの配向膜411を形成する(工程439)。以上によりアクティブマトリクス基板417が完成する。

【0125】次に、以下に示す作製工程に従って、対向基板418を作製する。コーニング1737からなるガラス基板412上に、スパッタ法を用いて厚さ140nmのITO対向電極413を形成する(工程440)。その上にスピンコート法を用いて厚さ200nmの配向膜411'を形成する(工程441)。

【0126】次に、液晶表示装置は以下の工程に従って作製する。アクティブマトリクス基板417および対向基板418上の配向膜411および411'の表面を配向処理後、直径約4 μm の酸化シリコンからなるスペーサー415をアクティブマトリクス基板417の表面上に分散させる(工程442～工程443)。

【0127】アクティブマトリクス基板417および対向基板418を挟持して形成したセルギャップ間に液晶組成物414を封入する(工程444)。アクティブマトリクス基板417および対向基板418の表面に偏光板416および416'を貼り付ける(工程445)。以上により、液晶表示装置が作製される。

【0128】 V_g-I_d 曲線から移動度を算出したところ、 $8.1 \times 10^4 \text{ cm}^2/\text{Vs}$ であり、実施例3の結果と同じ値を示した。

【0129】また、上記液晶表示装置を点灯評価したと

ころ、画素部分のコントラスト比は150であり、良好な表示特性が得られた。

【0130】本実施例では、信号配線、ソース電極、ドレイン電極、および、画素電極を形成する前に、層間絶縁層としてポリイミド膜を形成し、配線、電極形成後、ポリイミド膜のチャネル領域上部を除去したため、ゲート絶縁膜表面上の汚染を防止することが可能となり、その結果、高い半導体特性を達成した。

【0131】また、有機半導体膜はゲート電極と膜厚100nmのゲート絶縁膜を介しているため、有効に電界強度が加わり、高移動度を達成した。一方、信号配線は、走査線あるいはゲート電極とゲート絶縁膜並びに層間絶縁膜を介しているため、層間リークが抑制される。これは、大画面の液晶表示装置の歩留まりを向上させる効果がある。

【0132】また、ソース電極並びにドレイン電極にITO透明導電材料を用いることにより、有機半導体層との直接オーミック接触が可能となった。加えて、画素電極との一括形成が可能になり作製工程の短縮が可能となった。

【0133】〔実施例 5〕次に、本発明を用いた液晶表示装置の実施例を図10、図11により説明する。

【0134】図10は本実施例の液晶表示装置に用いるアクティブマトリクス基板の模式断面図と画素部の上から見た図である。501はガラス基板、502はゲート電極、503は走査配線、504はゲート絶縁層、505は層間絶縁膜、506、506'は信号配線、507はソース電極、508はドレイン電極と画素電極を兼ねた透明電極、509は有機半導体層、510は保護膜、511は配向膜、512は層間絶縁層の除去領域である。

【0135】また、図11に本実施例の液晶表示装置の作製工程を示す。ガラス基板501上にゲート電極502、走査配線503、ゲート絶縁層504を形成する(工程531~532)。その作製方法は実施例4と同様である。

【0136】次に、その上に層間絶縁層505としてポリイミド膜を形成する(工程533)。ポリイミド層間絶縁層の作製条件は、実施例1と同じであり、膜厚を1 μ mとした。

【0137】次に、信号配線506を形成する(工程534)。作製方法は実施例4と同様である。

【0138】次に、層間絶縁層505をパターン化する(工程535)。除去領域512は実施例1と同様で、ゲート電極502と同心にあり、チャネル長し、チャネル幅Wのそれぞれ1.2倍の大きさである。図10に示すように、層間絶縁膜除去領域の断面は、テーパー角を45度程度にする。

【0139】その上に、厚さ150nmのIDIXO透明導電膜をスパッタリング法にて作製し、ホトリソグラ

フィ法にてソース電極507並びにドレイン電極と画素電極を兼ねた透明電極508を形成する(工程536)。

【0140】その上に、有機半導体層509としてチオフェン誘導体塗布膜を形成する(工程537)。作製条件は、実験例2と同じであり膜厚を100nmとし、

【0141】さらにその上に、保護膜510、配向膜511を形成する(工程538~539)。作製条件は、実施例4と同じである。以上により、アクティブマトリクス基板513が完成する。

【0142】次に、実施例4に示した作業工程に従って、対向基板を作製し液晶表示装置を作製した。 V_{g1} 、 I_{g1} 曲線から移動度を算出したところ、 $8 \times 10^{10} \text{ cm}^2/\text{Vs}$ で、実施例3の結果と同じ値を示した。また、上記液晶表示装置を点灯評価したところ、画素部分のコントラスト比は150であり、良好な表示特性が得られた。

【0143】本実施例では、ソース電極並びにドレイン電極の材料として、アモルファス材料を用いた。そのため、パターン化のエッチング時における残渣が抑制された。

【0144】AFM法による表面形態観測より、残渣密度は約0.1個/ μm^2 であった。その上に形成したチオフェンオリゴ塗布膜の成膜性が高く、半導体特性が高くなった。

【0145】また、有機半導体膜はゲート電極と膜厚100nmのゲート絶縁膜を介しているため、有効に電界強度が加わり、 $8 \times 10^{10} \text{ cm}^2/\text{Vs}$ と高移動度を達成した。一方、ソース電極並びにドレイン電極は、ゲート電極とゲート絶縁膜並びに絶縁保護膜を介しているため、層間リーク電流が起りにくい。

【0146】また、ソース電極並びにドレイン電極にIDIXO透明導電材料を用いることにより、有機半導体層との直接オーミック接触が可能となった。加えて、画素電極との一括形成が可能になり作製工程の短縮が可能となった。

【0147】〔実施例 6〕本発明の液晶表示装置の実施例を、図12、図13により説明する。

【0148】図12は本実施例の液晶表示装置に用いるアクティブマトリクス基板の模式断面図と画素部の上から見た図である。601は基板、602はゲート絶縁電極、603は走査配線、604はゲート絶縁層、605は信号配線、606はソース電極、607はドレイン電極と画素電極を兼ねた透明電極、608は有機半導体層、609は保護層、610は配向層、611はアクティブマトリクス基板である。

【0149】また、図13に本実施例の液晶表示装置の作製工程を示す。603はゲート電極、走査配線形成工程、603はゲート絶縁層形成工程、603は信号配線形成工程、604はソース電極、ドレイン電極、および

画素電極形成工程、635は有機半導体層形成工程、636は保護層形成工程、637は配向層形成工程である。

【0150】ガラス基板601上にゲート電極602、走査配線603、ゲート絶縁膜604を形成する(工程631~632)。作製方法は実施例4と同様である。ゲート絶縁膜の形状は、図12(b)に示すようにL字型にした。

【0151】次に、その上にスパッタリング法により、厚さ150nmのCrMo膜を形成する。ホトリソグラフィ工程によりパターン化して、信号配線605を形成する(工程633)。CrMoエッチング液の硝酸第2セリウムアンモニウムセリウムがゲート絶縁膜表面上の残渣にならないためHBr処理を行うことが望ましい。

【0152】その上に、厚さ150nmのDIXO透明導電膜をスパッタリング法にて作製し、ホトリソグラフィ法にて、ソース電極606並びにドレイン電極と画素電極を兼ねた透明電極607を形成する(工程634)。

【0153】その上に、有機半導体層608としてチオフェン誘導体塗布膜を形成する(工程635)。作製条件は、実施例2と同じであり、膜厚を100nmとした。有機半導体層の形状は、図12(b)に示すようにL字型にした。

【0154】さらにその上に、保護膜609、配向膜610を形成する(工程636~工程637)。作製条件は実施例4と同様である。以上により、アクティブマトリクス基板611が完成する。

【0155】次に、実施例4に示した作業工程に従って、対向基板、液晶表示装置を形成する。

【0156】 $V_g - I_d$ 曲線から移動度を算出したところ、 $8 \times 10^4 \text{ cm}^2/\text{Vs}$ で、この値は実施例3の結果と同じ値を示した。また、上記液晶表示装置を点灯評価したところ、画素部分のコントラスト比は200であり良好な表示特性が得られた。

【0157】本実施例では、ソース電極並びにドレイン電極の材料として、アモルファス材料を用いた。そのため、パターン化のエッチング時における残渣が抑制された。

【0158】AFM法による表面形態観測より、残渣密度は、約0.1個/ μm^2 であった。その上に形成したチオフェンオリゴマ塗布膜の成膜性が高くなり、半導体特性が高くなった。

【0159】また、本実施例では、ゲート電極および有機半導体層をL字型にしたため、ソース電極とドレイン電極、画素電極を兼ねた透明電極の2辺によって、チャネル領域が形成されるため、コントラストが高くなった。

【0160】また、ソース電極並びにドレイン電極にDIXO透明導電材料を用いることにより、有機半導体

層との直接オーミック接触が可能となった。加えて、画素電極との一括形成が可能になり作製工程の短縮が可能となった。なお、本実施例は、実施例4、5に比べ、作製工程数が少ない。

【0161】

【発明の効果】本発明によれば、コプラナー構造の有機半導体装置におけるゲート絶縁膜のチャネル領域表面上の汚染を防ぐことが可能となる。また、実用的なオーミック接合の金属材料の提供が可能となる。さらにまた、半導体層への高電界強度印加とソース電極・ドレイン電極・画素電極とゲート電極あるいは走査配線間のリーク低減が可能となる。

【0162】本発明の作製工程では、ソース電極並びにドレイン電極形成後、層間絶縁層の一部を除去し、ゲート絶縁層を露出することで、電極形成によるゲート絶縁膜表面の汚染を防止することが可能となった。また、ソース電極並びにドレイン電極は、ゲート電極とゲート絶縁層並びに層間絶縁層を介して形成するため、層間リークが起りにくいと云う効果がある。

【図面の簡単な説明】

【図1】本発明による半導体装置の模式断面図である。

【図2】本発明による半導体装置の作製工程を示すフロー図である。

【図3】実施例の半導体装置の模式断面図である。

【図4】実施例の半導体装置の作製工程を示すフロー図である。

【図5】実施例の半導体装置の模式断面図である。

【図6】実施例の半導体装置の作製工程を示すフロー図である。

【図7】実施例の液晶表示装置の模式断面図である。

【図8】実施例の液晶表示装置の真上から見た図である。

【図9】実施例の液晶表示装置の作製工程を示すフロー図である。

【図10】実施例の液晶表示装置に用いるアクティブマトリクス基板の模式断面図である。

【図11】実施例の液晶表示装置に用いるアクティブマトリクス基板の作製工程を示すフロー図である。

【図12】実施例の液晶表示装置に用いるアクティブマトリクス基板の模式断面図である。

【図13】実施例の液晶表示装置に用いるアクティブマトリクス基板の作製工程を示すフロー図である。

【図14】実施例の有機半導体膜に用いるベンタセン蒸着膜の広角X線のグラフである。

【図15】実施例の有機半導体膜に用いるベンタセン蒸着膜のAFM法による表面形態を示す図である。

【図16】実施例の有機半導体膜に用いるベンタセン蒸着膜半導体装置の $V_g - I_d$ のグラフである。

【図17】ITO電極形成後、作製したベンタセン蒸着膜のAFM法による表面形態を示す図である。

【図18】ITO電極形成後、作製したベンタセン蒸着膜半導体装置の V_g-I_d のグラフである。

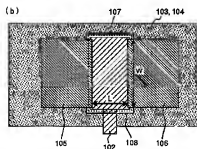
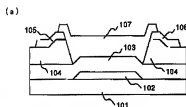
【符号の説明】

101, 401, 412, 501, 601…ガラス基板、102, 402, 502, 602…ゲート電極、103, 404, 504, 604…ゲート絶縁層、104, 405, 505…層間絶縁層、105, 407, 507, 606…ソース電極、106…ドレイン電極、107, 207, 409, 509, 608…有機半導体層、108, 512…層間絶縁層の除去領域、111, 211, 311…ゲート電極形成工程、112, 212, 312, 432, 532, 632…ゲート絶縁層形成工程、113, 433, 533…層間絶縁層形成工程、114, 213, 313…ソース電極並びにドレイン電極形成工程、115, 436, 535…層間絶縁層パターン化工程、116, 215, 314, 437, 537, 635…有機半導体層形成工程、204…配向制

御層、214…配向制御層形成工程、403, 503, 603…走査配線、406, 406', 605, 605'…信号配線、408, 508, 607…ドレイン電極と画素電極を兼ねた透明電極、410, 510, 609…保護層、411, 411', 511, 610…配向層、413…対向電極、414…液晶組成物、415…スペーサー、416, 416'…偏光板、417, 513, 611…アクティブマトリクス基板、418…対向基板、431…ゲート電極形成工程、631…ゲート電極、434, 534, 633…信号配線形成工程、435, 536, 634…ソース電極、ドレイン電極および画素電極形成工程、438, 538, 636…保護層形成工程、439, 441, 539, 637…配向層形成工程、440…対向電極形成工程、442…配向層表面配向処理、443…スペーサー分散工程、444…液晶組成物封入工程、445…偏光板貼付け工程。

【図1】

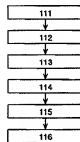
図 1



101…ガラス基板 102…ゲート電極 103…ゲート絶縁層
104…層間絶縁層 105…ソース電極 106…ドレイン電極
107…有機半導体層 108…層間絶縁層の除去領域

【図2】

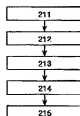
図 2



111…ゲート電極形成工程 112…ゲート絶縁層形成工程
113…有機半導体層形成工程 114…ソース電極並びにドレイン電極形成工程
115…層間絶縁層パターン化工程 116…有機半導体層形成工程

【図4】

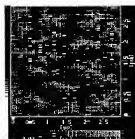
図 4



211…ゲート電極形成工程 212…ゲート絶縁層形成工程
213…ソース電極並びにドレイン電極形成工程
214…配向制御層形成工程 215…有機半導体層形成工程

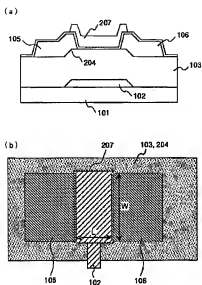
【図15】

図 15



【図3】

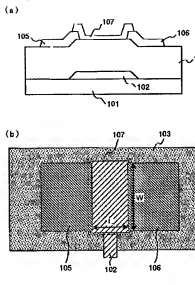
図 3



204...配向膜層 207...有機半導体層

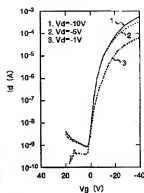
【図5】

図 5



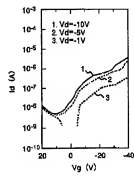
【図16】

図 16



【図18】

図 18



【図6】

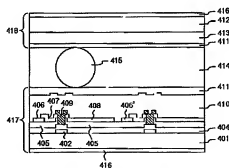
図 6



311...ゲート電極形成工程 312...ゲート絶縁層形成工程
 313...ソース電極並びにドレイン電極形成工程
 314...有機半導体層形成工程

【図7】

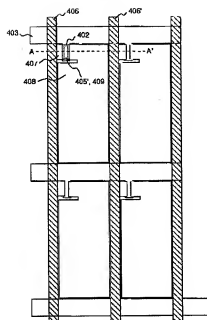
図 7



401, 412...ガラス基板 402...ゲート電極 404...ゲート絶縁層
 405...電極絶縁層 406, 406'...信号配線 407...ソース電極
 408...ドレイン電極と信号電極と兼ねる信号電極
 409...有機半導体層 410...保護層 411, 411'...配向層
 413...対向電極 414...液晶組成物 415...スペーシング
 416, 416'...偏光板 417...アクティブマトリクス基板
 418...対向基板

【図8】

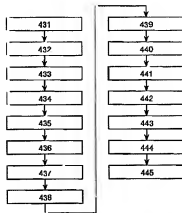
図 8



403…定置記録

【図9】

図 9



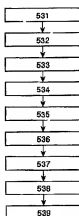
431…ゲート電極形成工程 432…ゲート絶縁層形成工程
 433…窒素絶縁層形成工程 434…信号配線形成工程
 435…ソース電極 436…層間絶縁層パターン化工程
 437…有機半導体層形成工程 438…保護層形成工程
 439…配向層形成工程 440…外向電極形成工程
 441…配向層形成工程 442…配向層形成工程
 443…スペーシング形成工程 444…液晶組成物封入工程
 445…偏光板貼付工程

【図13】

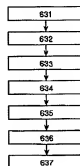
図 13

【図11】

図 11



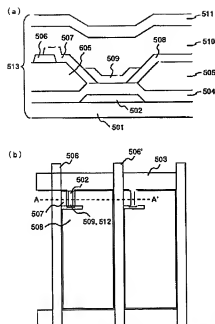
531…ゲート電極形成工程 532…ゲート絶縁層形成工程
 533…窒素絶縁層形成工程 534…信号配線形成工程
 535…層間絶縁層パターン化工程
 536…ソース電極、ドレイン電極および両端電極形成工程
 537…有機半導体層形成工程 538…保護層形成工程
 539…配向層形成工程



631…ゲート電極 632…ゲート絶縁層形成工程 633…信号配線形成工程
 634…ソース電極、ドレイン電極および両端電極形成工程
 635…保護層形成工程 636…配向層形成工程
 637…配向層形成工程

【図10】

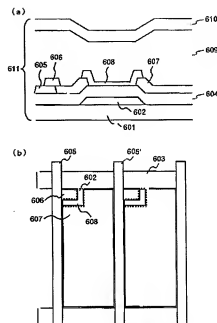
図 10



501…ガラス基板 502…ゲート電極 503…ゲート絶縁層 504…層間絶縁層
 505…ソース電極 506…ドレイン電極と接続電極を兼ねた通孔電極
 507…電極形成層 508…活性層 509…配線層
 510…層間絶縁層の除去領域 511…アクティブマトリクス基板

【図12】

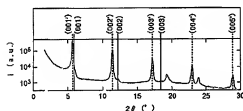
図 12



601…ガラス基板 602…ゲート電極 603…溝絶縁層
 604…ゲート絶縁層 605…信号配線 606…ソース電極
 607…ドレイン電極と通孔電極を兼ねた通孔電極
 608…電極形成層 609…配線層 610…配線層
 611…アクティブマトリクス基板

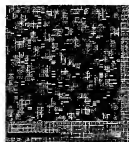
【図14】

図 14



【図17】

図 17



フロントページの続き

(72)発明者 安藤 正彦
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

(72)発明者 鬼沢 賢一
 茨城県日立市大みか町七丁目1番1号 株
 式会社日立製作所日立研究所内

F ターム (参考) 5F053 DD19 FF01 HH10

5F110 AA16 AA17 AA30 BB01 CC03
DD01 DD02 DD05 EE01 EE02
EE03 EE04 EE06 EE07 EE08
EE09 EE42 FF01 FF02 FF03
FF09 FF12 FF27 FF29 GG05
GG06 GG25 GG42 HK02 HK07
HK32 HK33 HM11 NN02 NN22
NN23 NN24 NN27 NN36 NN72
QQ01 QQ10